

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S): Kiyotaka KOBAYASHI

APPLICANT: Seiko Epson Corporation

U.S.S.N.: Not Yet Assigned

ART UNIT: Not Yet Assigned

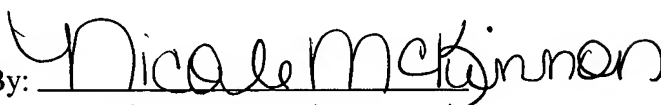
FILED: HEREWITH

EXAMINER: Not Yet Assigned

FOR: SEMICONDUCTOR DEVICE AND THIN FILM FORMING METHOD

CERTIFICATE OF EXPRESS MAILING (Label No.: EV 342614419 US)

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. section 1.10, on August 19, 2003 and is addressed to Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Arlington, VA 22313-1450.

By: 
Nicole M. McKinnon

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Arlington, VA 22313-1450

TRANSMITTAL OF A CERTIFIED OF PRIORITY DOCUMENT

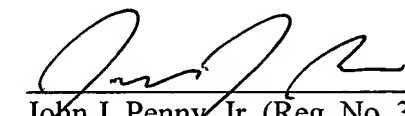
Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: JAPAN
Application Number: 2002-238496
Filing Date: 19 August 2002

Respectfully submitted,

Date: August 19, 2003
Customer No.: 21874


John J. Penny, Jr. (Reg. No. 36,984)
EDWARDS & ANGELL LLP
P.O. Box 9169
Boston, MA 02209
Tel: (617) 439-4444

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月19日

出 願 番 号

Application Number:

特願2002-238496

[ST.10/C]:

[JP2002-238496]

出 願 人

Applicant(s):

セイコーエプソン株式会社

2003年 5月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037582

【書類名】 特許願

【整理番号】 J0092961

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 小林 清高

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤網 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および薄膜形成方法

【特許請求の範囲】

【請求項 1】 配線層上に形成されたフッ素隔離膜と、
前記フッ素隔離膜を介して形成されたフッ化珪酸ガラス膜とを備えることを特徴とする半導体装置。

【請求項 2】 配線層の絶縁を行うフッ化珪酸ガラス膜と、
前記フッ化珪酸ガラス膜を上下から挟み込むように形成されたフッ素隔離膜とを備えることを特徴とする半導体装置。

【請求項 3】 前記フッ素隔離膜は、ノンドープシリコン酸化膜であることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記配線層は、TiN/Al-Cu/Ti/TiN 構造であることを特徴とする請求項 1～3 のいずれか 1 項記載の半導体装置。

【請求項 5】 配線層上にノンドープシリコン酸化膜を形成する工程と、
前記ノンドープシリコン酸化膜上にフッ化珪酸ガラス膜を形成する工程とを備えることを特徴とする薄膜形成方法。

【請求項 6】 前記フッ化珪酸ガラス膜上にノンドープシリコン酸化膜を形成する工程をさらに備えることを特徴とする請求項 5 記載の薄膜形成方法。

【請求項 7】 前記ノンドープシリコン酸化膜および前記フッ化珪酸ガラス膜は、フッ素ドーパントの混入の有無を切り替えながら連続して形成することを特徴とする請求項 5 または 6 記載の薄膜形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置および薄膜形成方法に関し、特に、配線層間の絶縁膜としてフッ化珪酸ガラスを用いる場合に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、配線層間に用いられる層間絶縁膜の低誘電率化を図る

ため、フッ化珪酸ガラスを用いたものがあった。

図 9 は、従来の半導体装置における配線層の概略構成を示す断面図である。

図 9 において、絶縁層 2 1 上には下層配線層 2 2 が形成され、下層配線層 2 2 は、例えば、TiN 膜 2 2 a、Al-Cu 膜 2 2 b、Ti 膜 2 2 c および TiN 膜 2 2 d からなる積層構造を有している。

【0003】

ここで、Al-Cu 層 2 2 b の下に設けられる TiN 層 2 2 a は、バリア膜として機能するもので、積層配線が Si と接触した際の接合突き抜けや、Si 析出によるコンタクト抵抗の増大を抑制するためのものである。

また、Al-Cu 層 2 2 b の上に設けられる Ti 膜 2 2 c および TiN 膜 2 2 d は、コンタクト抵抗を低減したり、反射防止膜として用いたり、エレクトロマイグレーションを防止したりするためのものである。

【0004】

また、下層配線層 2 2 上には、フッ化珪酸ガラス膜（以下、FSG 膜と称す。）2 3 が形成され、FSG 膜 2 3 上には、シリコン酸化膜 2 4 が形成され、シリコン酸化膜 2 5 内には、下層配線層 2 2 と接続するタングステンプラグ 2 5 が埋め込まれている。

そして、シリコン酸化膜 2 4 上には、例えば、TiN 膜 2 6 a、Al-Cu 膜 2 6 b、Ti 膜 2 6 c および TiN 膜 2 6 d の 4 層構造からなる上層配線層 2 6 が形成され、上層配線層 2 6 はタングステンプラグ 2 5 を介して下層配線層 2 2 と接続されている。

【0005】

図 1 0、1 1 は、従来の半導体装置における配線層の製造方法を示す断面図である。

図 1 0 (a) において、例えば、TiN/Al-Cu/Ti/TiN を絶縁膜 2 1 上に順次スパッタし、フォトリソグラフィ技術およびエッチング技術を用いて、TiN/Al-Cu/Ti/TiN からなる積層膜をパターンニングすることにより、絶縁膜 2 1 上に下層配線層 2 2 を形成する。

【0006】

次に、図 1 0 (b) に示すように、高密度プラズマ C V D などの方法により、下層配線層 2 2 上に F S G 膜 2 3 を形成し、窒素雰囲気中で F S G 膜 2 3 のアニールを行うことにより、F S G 膜 2 3 中の不安定なフッ素成分を除去する。

次に、図 1 0 (c) に示すように、例えば、T E O S (テトラエトキシシラン) ガスを用いたプラズマ C V D を行うことにより、F S G 膜 2 3 上にシリコン酸化膜 2 4 を形成する。

【0 0 0 7】

次に、図 1 1 (a) に示すように、例えば、CMP (化学的機械的研磨) を用いて、シリコン酸化膜 2 4 の表面を研磨することにより、シリコン酸化膜 2 4 の表面を平坦化する。

次に、図 1 1 (b) に示すように、フォトリソグラフィー技術およびエッチング技術を用いて、下層配線層 2 2 上の F S G 膜 2 3 およびシリコン酸化膜 2 4 にビアホールを形成し、下層配線層 2 2 上にタングステンを選択的に成長させることにより、下層配線層 2 2 上にタングステンプラグ 2 5 を形成する。

【0 0 0 8】

次に、図 1 1 (c) に示すように、例えば、T i N / A l - C u / T i / T i N をシリコン酸化膜 2 4 上に順次スパッタし、フォトリソグラフィー技術およびエッチング技術を用いて、T i N / A l - C u / T i / T i N からなる積層膜をパターニングすることにより、上層配線層 2 6 をシリコン酸化膜 2 4 上に形成する。

【0 0 0 9】

【発明が解決しようとする課題】

しかしながら、下層配線層 2 2 上に F S G 膜 2 3 を形成すると、F S G 膜 2 3 に含まれるフッ素が脱ガスし、このフッ素が下層配線層 2 2 に作用して、下層配線層 2 2 を腐食させる。

また、F S G 膜 2 3 は、下層配線層 2 2 同士間での埋め込み特性を満足させるため、高密度プラズマ C V D により形成され、シリコン酸化膜 2 4 は、パーティクルの発生を抑制するため、通常のプラズマ C V D により形成される。

【0 0 1 0】

このため、F S G 膜 2 3 上にシリコン酸化膜 2 4 を形成する場合、装置を交換する必要があり、この時、F S G 膜 2 3 が大気中に晒されることがある。

そして、F S G 膜 2 3 が大気中に晒されると、F S G 膜 2 3 の吸湿により、F S G 膜 2 3 内にフッ化水素が生成される。

そして、F S G 膜 2 3 内にフッ化水素が生成された状態で、F S G 膜 2 3 に熱処理が行われると、脱ガスにより、フッ素が T i と反応し、下層配線層 2 2 に T i F などのフッ化物が生成される。

【 0 0 1 1 】

このため、従来の半導体装置では、下層配線層 2 2 を F S G 膜 2 3 で覆うと、下層配線層 2 2 の抵抗が上昇し、半導体装置の特性劣化を引き起こすという問題があった。

そこで、本発明の目的は、F S G 膜で覆われた配線層のフッ素ダメージを抑制することが可能な半導体装置および薄膜形成方法を提供することである。

【 0 0 1 2 】

【課題を解決するための手段】

上述した課題を解決するために、請求項 1 記載の半導体装置によれば、配線層上に形成されたフッ素隔離膜と、前記フッ素隔離膜を介して形成されたフッ化珪酸ガラス膜とを備えることを特徴とする。

これにより、フッ化珪酸ガラス膜に含まれるフッ素が配線層に直接接触することを防止することが可能となり、層間絶縁膜としてフッ化珪酸ガラス膜を用いた場合においても、フッ化珪酸ガラス膜で覆われた配線層にフッ素が作用して、配線層を腐食させることを防止することができる。

【 0 0 1 3 】

このため、半導体装置の製造歩留まりを向上させることが可能となるとともに、半導体装置の信頼性を向上させることが可能となる。

また、請求項 2 記載の半導体装置によれば、配線層の絶縁を行うフッ化珪酸ガラス膜と、前記フッ化珪酸ガラス膜を上下から挟み込むように形成されたフッ素隔離膜とを備えることを特徴とする。

【 0 0 1 4 】

これにより、フッ化珪酸ガラス膜に含まれるフッ素をフッ化珪酸ガラス膜内に閉じ込めて、フッ化珪酸ガラス膜に含まれるフッ素がフッ化珪酸ガラス膜から脱離することを抑制することが可能となるとともに、フッ化珪酸ガラス膜の吸湿を低減することが可能となる。

このため、フッ化珪酸ガラス膜で覆われた配線層にフッ素が作用して、配線層を腐食させることを防止することが可能となるとともに、配線層の配線抵抗の上昇を抑制することが可能となり、半導体装置の特性劣化を抑制しつつ、半導体装置の信頼性を向上させることが可能となる。

【 0 0 1 5 】

また、請求項 3 記載の半導体装置によれば、前記フッ素隔離膜は、ノンドープシリコン酸化膜であることを特徴とする。

これにより、フッ素ドーパントの混入の有無を切り替えることで、フッ素隔離膜とフッ化珪酸ガラス膜とを積層することが可能となり、*in-situ* 処理により、フッ素隔離膜を効率よく形成することが可能となる。

【 0 0 1 6 】

また、請求項 4 記載の半導体装置によれば、前記配線層は、*TiN/Al-Cu/Ti/TiN* 構造であることを特徴とする。

これにより、フッ化珪酸ガラス膜に含まれるフッ素が *Ti* と反応して、配線層に *TiF* などのフッ化物が生成されることを防止することが可能となり、配線間隔が狭く、アスペクト比の高い配線層を効率よく形成することが可能となる。

【 0 0 1 7 】

また、請求項 5 記載の薄膜形成方法によれば、配線層上にノンドープシリコン酸化膜を形成する工程と、前記ノンドープシリコン酸化膜上にフッ化珪酸ガラス膜を形成する工程とを備えることを特徴とする。

これにより、フッ化珪酸ガラス膜に含まれるフッ素が配線層に直接接触することを防止することが可能となり、層間絶縁膜としてフッ化珪酸ガラス膜を用いた場合においても、フッ化珪酸ガラス膜で覆われた配線層にフッ素が作用することを低減させて、配線層の腐食を防止することが可能となる。

【 0 0 1 8 】

また、請求項 6 記載の薄膜形成方法によれば、前記フッ化珪酸ガラス膜上にノンドープシリコン酸化膜を形成する工程をさらに備えることを特徴とする。

これにより、フッ化珪酸ガラス膜をノンドープシリコン酸化膜で上下から挟み込むことができ、フッ素の脱ガスを抑制することが可能となるとともに、フッ化珪酸ガラス膜の吸湿を低減することが可能となることから、半導体装置の特性劣化を抑制しつつ、半導体装置の信頼性を向上させることが可能となる。

【0019】

また、請求項 7 記載の薄膜形成方法によれば、前記ノンドープシリコン酸化膜および前記フッ化珪酸ガラス膜は、フッ素ドーパントの混入の有無を切り替えながら連続して形成することを特徴とする。

これにより、*in-situ* 処理により、ノンドープシリコン酸化膜とフッ化珪酸ガラス膜とを積層することが可能となり、フッ化珪酸ガラス膜上にノンドープシリコン酸化膜を形成するために、装置を交換する必要がなくなる。

【0020】

このため、フッ化珪酸ガラス膜が大気に晒されることを防止することが可能となり、フッ化珪酸ガラス膜の吸湿を抑制して、フッ素の脱ガスを低減することが可能となる。

【0021】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置および薄膜形成方法について、図面を参照しながら説明する。

図 1 は、本発明の第 1 実施形態に係る半導体装置における配線層の概略構成を示す断面図である。

【0022】

図 1 において、絶縁層 1 上には下層配線層 2 が形成され、下層配線層 2 は、例えば、TiN 膜 2 a、Al-Cu 膜 2 b、Ti 膜 2 c および TiN 膜 2 d からなる積層構造を有している。

ここで、TiN 膜 2 a の厚みは、例えば、300～400 Å 程度、Al-Cu 膜 2 b の厚みは、例えば、3000～10000 Å 程度、Ti 膜 2 c の厚みは、

例えば、200 Å 程度、TiN 膜 2 d の厚みは、例えば、600～1000 Å 程度に設定することができる。

【0023】

また、下層配線層 2 上には、ライナ膜 3 およびキャップ膜 5 で上下が挟み込まれた FSG 膜 4 が形成されている。

ここで、ライナ膜 3 およびキャップ膜 5 は、FSG 膜 4 に含まれるフッ素を隔離するためのもので、例えば、ノンドープシリコン酸化膜を用いることができる。

【0024】

さらに、キャップ膜 5 上にはシリコン酸化膜 6 が形成され、シリコン酸化膜 6 内には、下層配線層 2 と接続するタングステンプラグ 7 が埋め込まれている。

そして、シリコン酸化膜 6 上には、例えば、TiN 膜 8 a、Al-Cu 膜 8 b、Ti 膜 8 c および TiN 膜 8 d の 4 層構造からなる上層配線層 8 が形成され、上層配線層 8 はタングステンプラグ 7 を介して下層配線層 2 と接続されている。

【0025】

ここで、ライナ膜 3 およびキャップ膜 5 で FSG 膜 4 を挟み込むことにより、FSG 膜 4 に含まれるフッ素が脱ガスすることを防止することが可能となるとともに、FSG 膜 4 が吸湿することを抑制することができ、下層配線層 2 を FSG 膜 4 で覆った場合においても、下層配線層 2 の Ti がフッ化されることを抑制して、下層配線層 2 に TiF が形成されることを抑制することができる。

【0026】

例えば、FSG 膜 4 単独では、 T_{DS} 分析結果によると、150℃ 程度の熱処理で脱ガスするのに対し、ライナ膜 3 およびキャップ膜 5 で FSG 膜 4 を挟み込むことにより、脱ガス温度を 250℃ 程度に上昇させることができた。

また、FSG 膜 4 の誘電率としては、3.2～3.8 程度の値を得ることができ、誘電率が 4.0～4.2 程度の酸化ケイ素膜を用いた場合に比べて、誘電率を低くすることが可能となる。

【0027】

このため、下層配線層 2 上の層間絶縁膜の低誘電率化を図りつつ、下層配線層

2の配線抵抗の上昇を抑制することができ、配線遅延を抑制して、半導体装置の特性を向上させることが可能となる。

なお、ライナ膜3の厚みT1は、例えば、500～700Å程度が好ましく、これにより、下層配線層2上に形成されるライナ膜3のギャップフィル特性およびカバレッジを維持することが可能となるとともに、下層配線層2上に形成された層間絶縁膜の誘電率の上昇を抑えつつ、FSG膜4に含まれるフッ素を有効に隔離することができる。

【0028】

また、キャップ膜3の厚みT2は、例えば、1000Å程度が好ましく、これにより、下層配線層2上に形成された層間絶縁膜の誘電率の上昇を抑えつつ、FSG膜4の防湿効果を維持することができる。

また、下層配線層2としては、TiN膜2a、Al-Cu膜2b、Ti膜2cおよびTiN膜2dからなる積層構造以外にも、TiN/Al/Ti/TiN構造、TiN/Al-Cu/TiN構造などでもよい。

【0029】

図2～4は、本発明の第1実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

図2(a)において、例えば、TiN/Al-Cu/Ti/TiNを絶縁膜1上に順次スパッタし、フォトリソグラフィ技術およびエッチング技術を用いて、TiN/Al-Cu/Ti/TiNからなる積層膜をパターニングすることにより、絶縁膜1上に下層配線層2を形成する。

【0030】

次に、図2(b)に示すように、高密度プラズマCVDなどの方法により、下層配線層2を覆うようにして、ノンドープシリコン酸化膜などのライナ膜3を形成する。

次に、図2(c)に示すように、高密度プラズマCVDなどの方法により、ライナ膜3上にFSG膜4を形成し、窒素雰囲気中でFSG膜4のアニールを行うことにより、FSG膜4中の不安定なフッ素成分を除去する。

【0031】

次に、図 2 (d) に示すように、アニール後の F S G 膜 4 を大気に晒さないようにして、例えば、高密度プラズマ C V D などを行うことにより、ノンドープシリコン酸化膜などのキャップ膜 5 を F S G 膜 4 上に形成する。

ここで、ライナ膜 3、F S G 膜 4 およびキャップ膜 5 を形成する方法としては、例えば、i n - s i t u 処理により、同一チャンバ内でフッ素ドーパントの混入の有無を切り替えながらシリコン酸化膜を連続して形成することができる。

【 0 0 3 2 】

これにより、F S G 膜 4 を大気に晒さないようにして、ライナ膜 3 およびキャップ膜 5 で F S G 膜 4 を挟み込むことが可能となり、F S G 膜 4 の防湿状態を良好に維持しつつ、F S G 膜 4 に含まれるフッ素を隔離することが可能となる。

次に、図 3 (a) に示すように、例えば、T E O S (テトラエトキシシラン) ガスを用いたプラズマ C V D を行うことにより、キャップ膜 5 上にシリコン酸化膜 6 を形成する。

【 0 0 3 3 】

ここで、F S G 膜 4 はキャップ膜 5 で覆われているので、キャップ膜 5 上にシリコン酸化膜 6 を形成するために、装置を交換する場合においても、F S G 膜 4 が大気に晒されることを防止することができ、F S G 膜 4 の吸湿を抑制することができる。

次に、図 3 (b) に示すように、例えば、C M P (化学的機械的研磨) を用いて、シリコン酸化膜 6 の表面を研磨することにより、シリコン酸化膜 6 の表面を平坦化する。

【 0 0 3 4 】

ここで、T E O S プラズマ C V D を用いてシリコン酸化膜 6 を形成することにより、高密度プラズマ C V D を用いてシリコン酸化膜 6 を形成した場合に比べて、シリコン酸化膜 6 のパーティクルを低減することが可能となり、シリコン酸化膜 6 表面の平坦化を精度よく行うことができる。

次に、図 3 (c) に示すように、フォトリソグラフィ技術およびエッチング技術を用いて、下層配線層 2 上のライナ膜 3、F S G 膜 4、キャップ膜 5 およびシリコン酸化膜 6 にビアホールを形成し、下層配線層 2 上にタングステンを選択

的に成長させることにより、下層配線層 2 上にタングステンプラグ 7 を形成する。

【0035】

次に、図 4 に示すように、例えば、TiN/Al-Cu/Ti/TiN をシリコン酸化膜 6 上に順次スパッタし、フォトリソグラフィ技術およびエッチング技術を用いて、TiN/Al-Cu/Ti/TiN からなる積層膜をパターニングすることにより、上層配線層 8 をシリコン酸化膜 7 上に形成する。

図 5 は、本発明の第 2 実施形態に係る半導体装置における配線層の概略構成を示す断面図である。

【0036】

図 5 において、絶縁層 11 上には下層配線層 2 が形成され、下層配線層 12 は、例えば、TiN 膜 12a、Al-Cu 膜 12b、Ti 膜 12c および TiN 膜 12d からなる積層構造を有している。

ここで、TiN 膜 12a の厚みは、例えば、300～400 Å 程度、Al-Cu 膜 12b の厚みは、例えば、3000～10000 Å 程度、Ti 膜 12c の厚みは、例えば、200 Å 程度、TiN 膜 12d の厚みは、例えば、600～1000 Å 程度に設定することができる。

【0037】

また、下層配線層 12 上には、ライナ膜 13 を介して FSG 膜 14 が形成されている。

ここで、ライナ膜 13 は、FSG 膜 14 に含まれるフッ素を隔離するためのもので、例えば、ノンドープシリコン酸化膜を用いることができる。

さらに、FSG 膜 14 上にはシリコン酸化膜 15 が形成され、シリコン酸化膜 15 内には、下層配線層 12 と接続するタングステンプラグ 16 が埋め込まれている。

【0038】

そして、シリコン酸化膜 15 上には、例えば、TiN 膜 17a、Al-Cu 膜 17b、Ti 膜 17c および TiN 膜 17d の 4 層構造からなる上層配線層 17 が形成され、上層配線層 17 はタングステンプラグ 16 を介して下層配線層 12

と接続されている。

ここで、ライナ膜 1 3 を介して F S G 膜 1 4 を形成することにより、F S G 膜 1 4 に含まれるフッ素が下層配線層 1 2 に直接接触することを防止することが可能となり、下層配線層 1 2 を F S G 膜 1 4 で覆った場合においても、下層配線層 1 2 の T i がフッ化されることを抑制して、下層配線層 1 2 に T i F が形成されることを抑制することができる。

【 0 0 3 9 】

また、F S G 膜 1 4 の誘電率としては、3. 2 ～ 3. 8 程度の値を得ることができ、誘電率が 4. 0 ～ 4. 2 程度の酸化ケイ素膜を用いた場合に比べて、誘電率を低くすることが可能となる。

このため、下層配線層 1 2 上の層間絶縁膜の低誘電率化を図りつつ、下層配線層 1 2 の配線抵抗の上昇を抑制することができ、配線遅延を抑制して、半導体装置の特性を向上させることが可能となる。

【 0 0 4 0 】

なお、ライナ膜 1 3 の厚み T 3 は、例えば、5 0 0 ～ 7 0 0 Å 程度が好ましく、これにより、下層配線層 1 2 上に形成されるライナ膜 1 3 のギャップフィル特性およびカバレッジを維持することが可能となるとともに、下層配線層 1 2 上に形成された層間絶縁膜の誘電率の上昇を抑えつつ、F S G 膜 1 4 に含まれるフッ素が下層配線層 1 2 に作用することを抑制することができる。

【 0 0 4 1 】

また、下層配線層 1 2 としては、T i N 膜 1 2 a、A l - C u 膜 1 2 b、T i 膜 1 2 c および T i N 膜 1 2 d からなる積層構造以外にも、T i N / A l / T i / T i N 構造、T i N / A l - C u / T i N 構造などでもよい。

図 6 ～ 8 は、本発明の第 1 実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【 0 0 4 2 】

図 6 (a) において、例えば、T i N / A l - C u / T i / T i N を層間絶縁膜 1 1 上に順次スパッタし、フォトリソグラフィー技術およびエッチング技術を用いて、T i N / A l - C u / T i / T i N からなる積層膜をパターニングする

ことにより、絶縁膜 1 1 上に下層配線層 1 2 を形成する。

次に、図 6 (b) に示すように、高密度プラズマ CVD などの方法により、下層配線層 1 2 を覆うようにして、ノンドープシリコン酸化膜などのライナ膜 1 3 を形成する。

【 0 0 4 3 】

次に、図 6 (c) に示すように、高密度プラズマ CVD などの方法により、ライナ膜 1 3 上に FSG 膜 1 4 を形成し、窒素雰囲気中で FSG 膜 1 4 のアニールを行うことにより、FSG 膜 1 4 中の不安定なフッ素成分を除去する。

ここで、ライナ膜 1 3 および FSG 膜 1 4 を形成する方法としては、例えば、*in-situ* 処理により、同一チャンバ内でフッ素ドーパントの混入の有無を切り替えながらシリコン酸化膜を連続して形成することができる。

【 0 0 4 4 】

次に、図 7 (a) に示すように、例えば、TEOS (テトラエトキシシラン) ガスを用いたプラズマ CVD を行うことにより、FSG 膜 1 4 上にシリコン酸化膜 1 5 を形成する。

次に、図 7 (b) に示すように、例えば、CMP (化学的機械的研磨) を用いて、シリコン酸化膜 1 5 の表面を研磨することにより、シリコン酸化膜 1 5 の表面を平坦化する。

【 0 0 4 5 】

ここで、TEOS プラズマ CVD を用いてシリコン酸化膜 1 5 を形成することにより、高密度プラズマ CVD を用いてシリコン酸化膜 1 5 を形成した場合に比べて、シリコン酸化膜 1 5 のパーティクルを低減することが可能となり、シリコン酸化膜 1 5 表面の平坦化を精度よく行うことができる。

次に、図 7 (c) に示すように、フォトリソグラフィ技術およびエッチング技術を用いて、下層配線層 1 2 上のライナ膜 1 3、FSG 膜 1 4 およびシリコン酸化膜 1 5 にビアホールを形成し、下層配線層 1 2 上にタングステンを選択的に成長させることにより、下層配線層 1 2 上にタングステンプラグ 1 6 を形成する。

【 0 0 4 6 】

次に、図 8 に示すように、例えば、TiN/Al-Cu/Ti/TiN をシリコン酸化膜 15 上に順次スパッタし、フォトリソグラフィ技術およびエッチング技術を用いて、TiN/Al-Cu/Ti/TiN からなる積層膜をパターンニングすることにより、上層配線層 17 をシリコン酸化膜 15 上に形成する。

なお、上述した実施形態では、配線層を半導体装置に形成する場合について説明したが、本発明に係る配線形成方法は半導体装置に限定されることなく、半導体装置以外にも、例えば、液晶表示装置、有機 EL 素子、ビルドアップ多層配線板などに適用するようにしてもよい。

【0047】

【発明の効果】

以上説明したように、本発明によれば、フッ化珪酸ガラス膜に含まれるフッ素がフッ化珪酸ガラス膜から脱離することを抑制することが可能となり、フッ化珪酸ガラス膜で覆われた配線層にフッ素が作用して、配線層を腐食させることを防止することが可能となるとともに、配線層の配線抵抗の上昇を抑制することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態に係る半導体装置における配線層の概略構成を示す断面図である。

【図 2】 本発明の第 1 実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【図 3】 本発明の第 1 実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【図 4】 本発明の第 1 実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【図 5】 本発明の第 2 実施形態に係る半導体装置における配線層の概略構成を示す断面図である。

【図 6】 本発明の第 2 実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【図 7】 本発明の第 2 実施形態に係る半導体装置における配線層の製造方

法を示す断面図である。

【図 8】 本発明の第 2 実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【図 9】 従来の半導体装置における配線層の概略構成を示す断面図である。

【図 1 0】 従来の半導体装置における配線層の製造方法を示す断面図である。

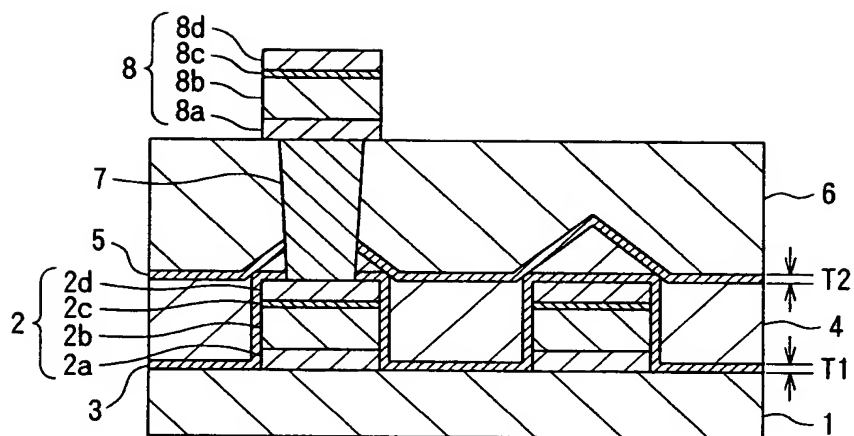
【図 1 1】 従来の半導体装置における配線層の製造方法を示す断面図である。

【符号の説明】

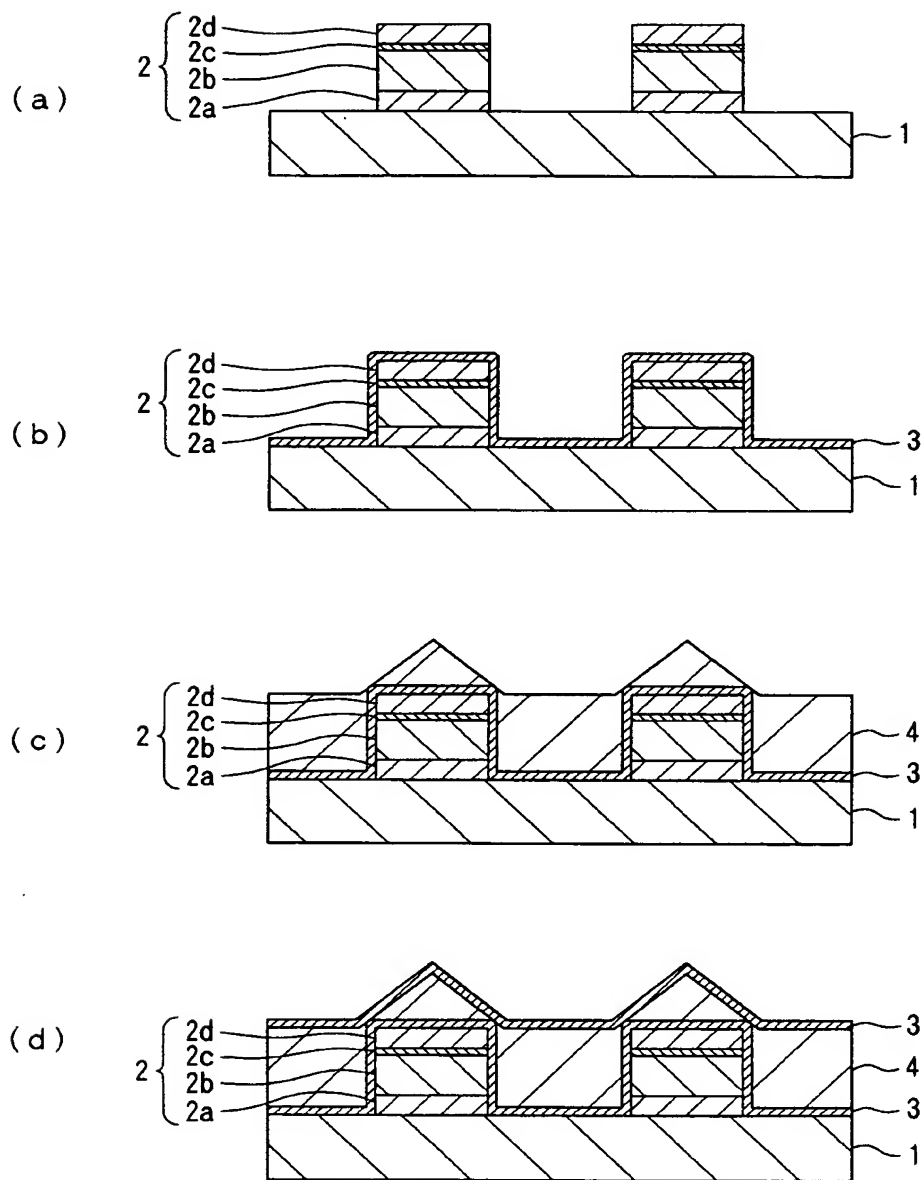
1、1 1 絶縁層、2、1 2 下層配線層、2 a、2 d、8 a、8 d、1 2 a、1 2 d、1 7 a、1 7 d TiN 膜、2 b、8 d、1 2 b、1 7 d Al-Cu 膜、2 c、8 c、1 2 c、1 7 c Ti 膜、3、1 3 ライナ膜、4、1 4 FSG 膜、5 キャップ膜、6、1 5 シリコン酸化膜、7、1 6 タングステンプラグ、8、1 7 上層配線層

【書類名】 図面

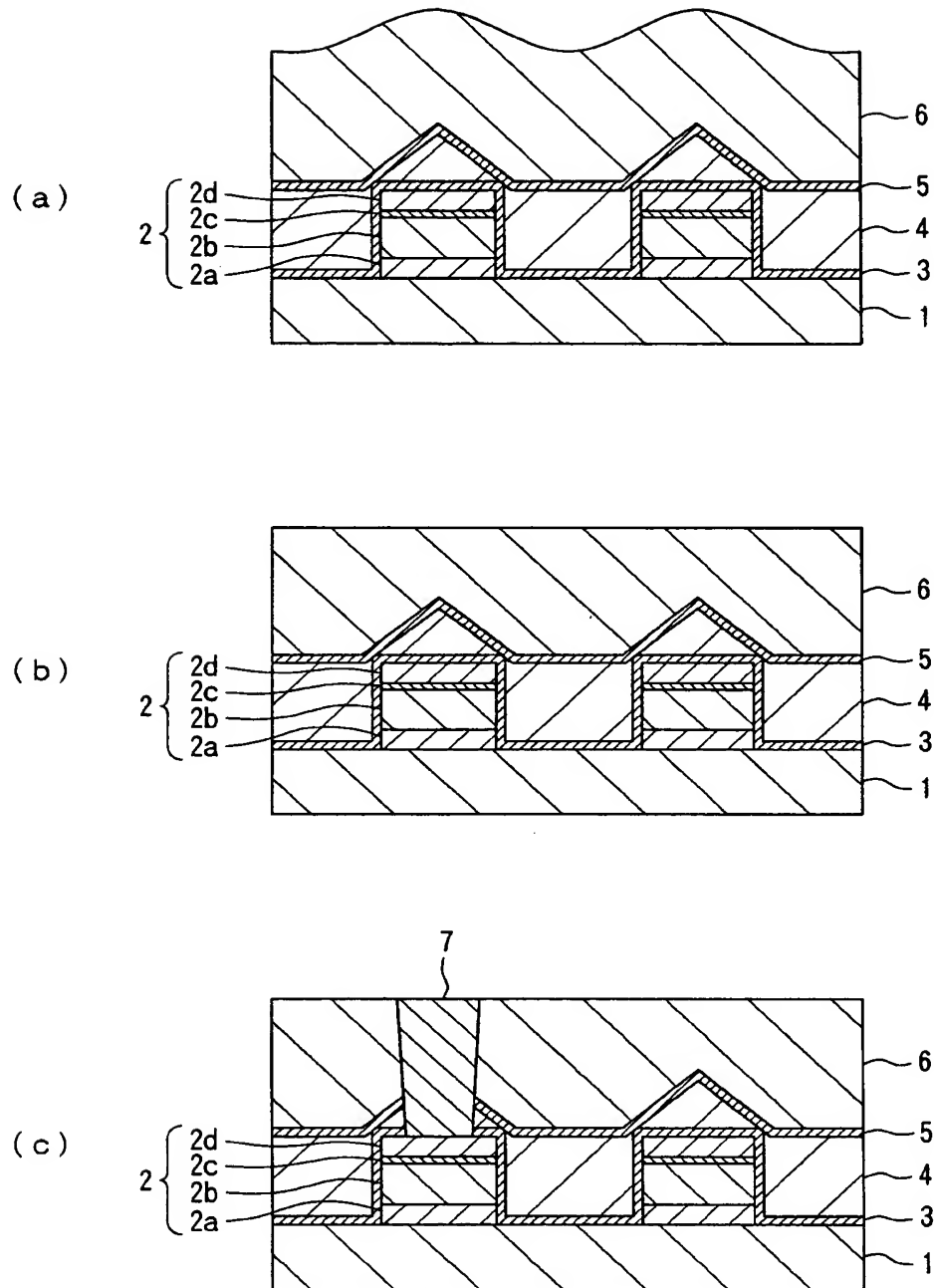
【図 1】



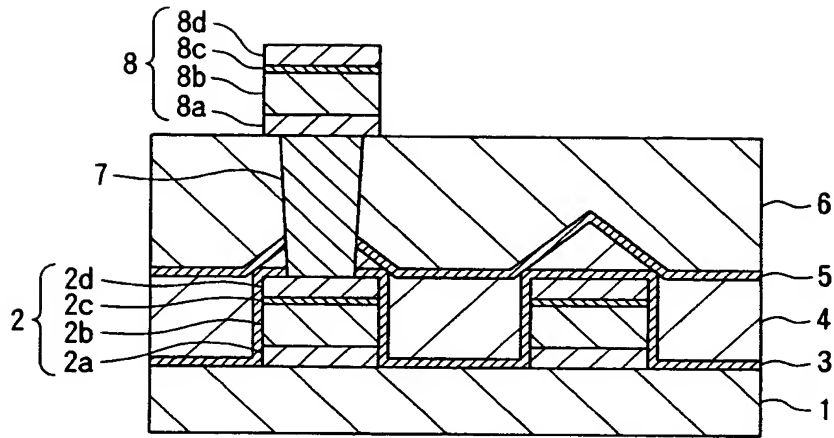
【図 2】



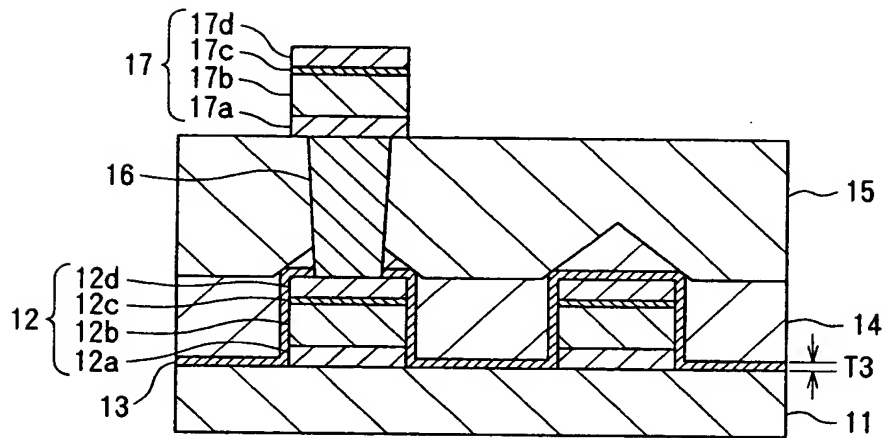
【図 3】



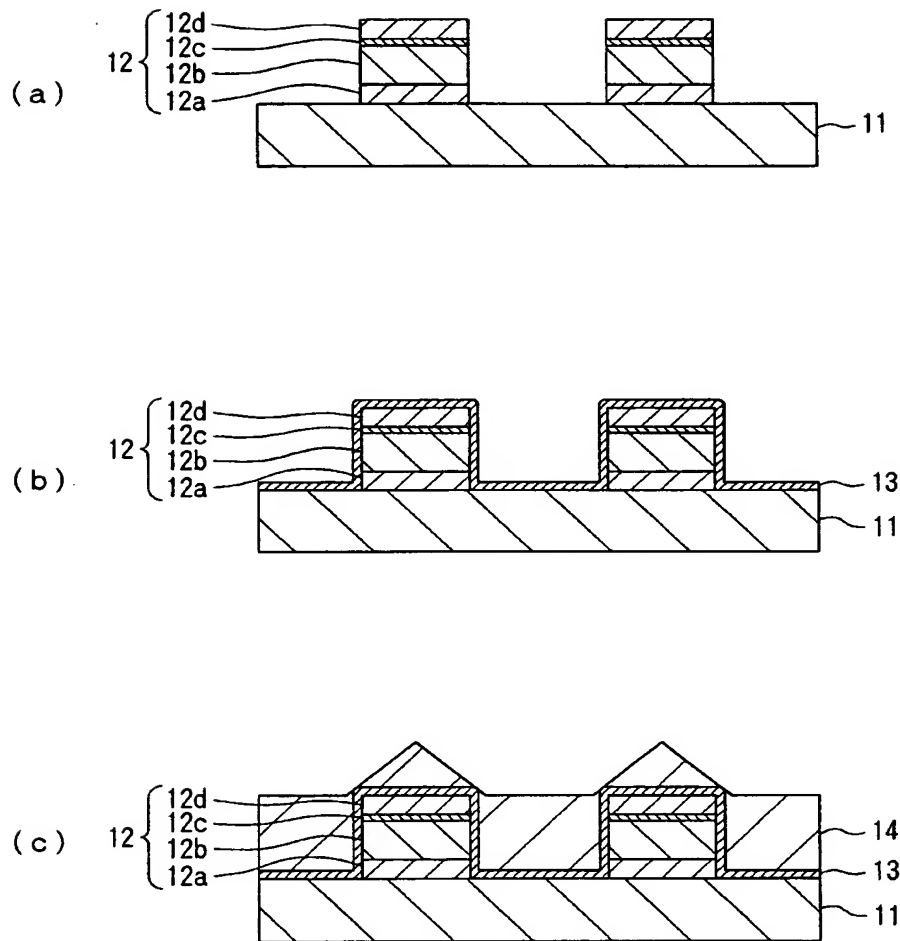
【図 4】



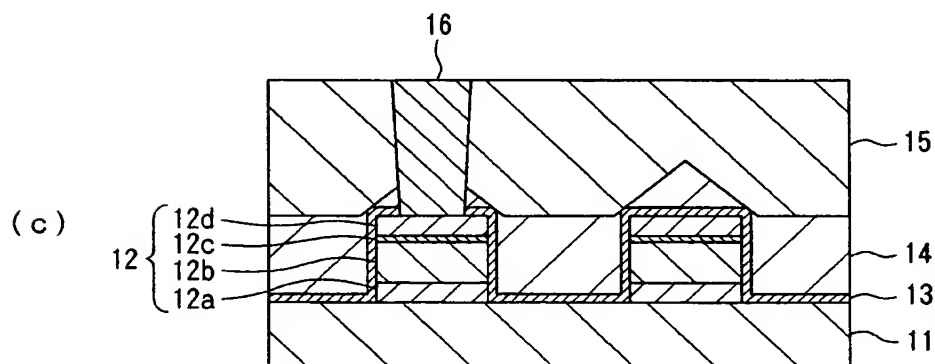
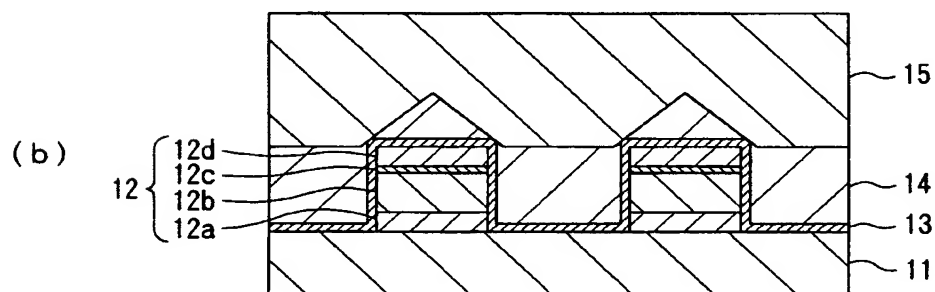
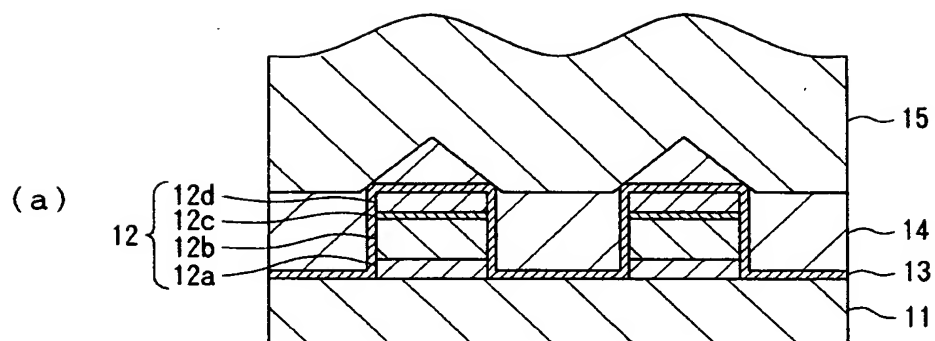
【図 5】



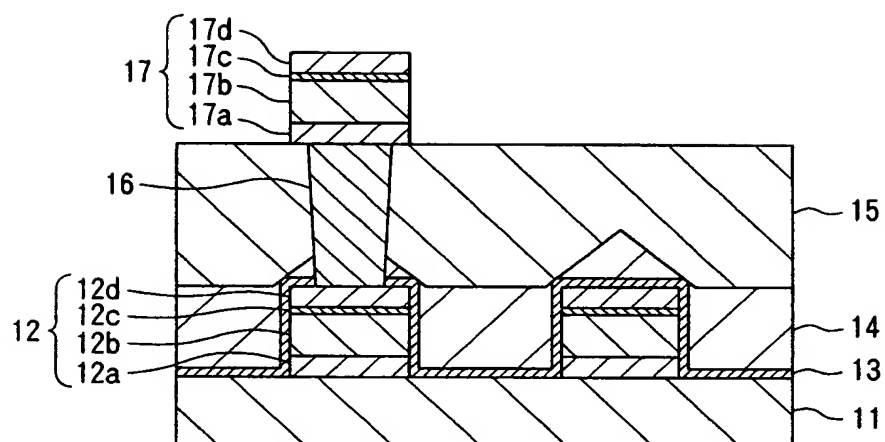
【図 6】



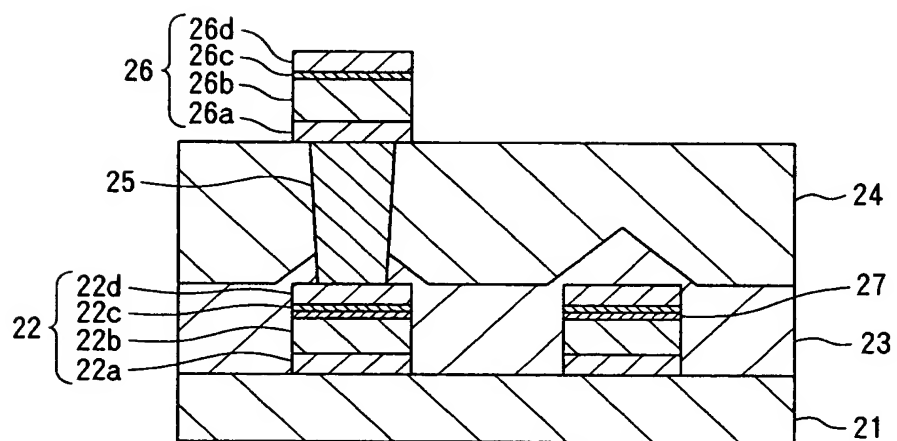
【図 7】



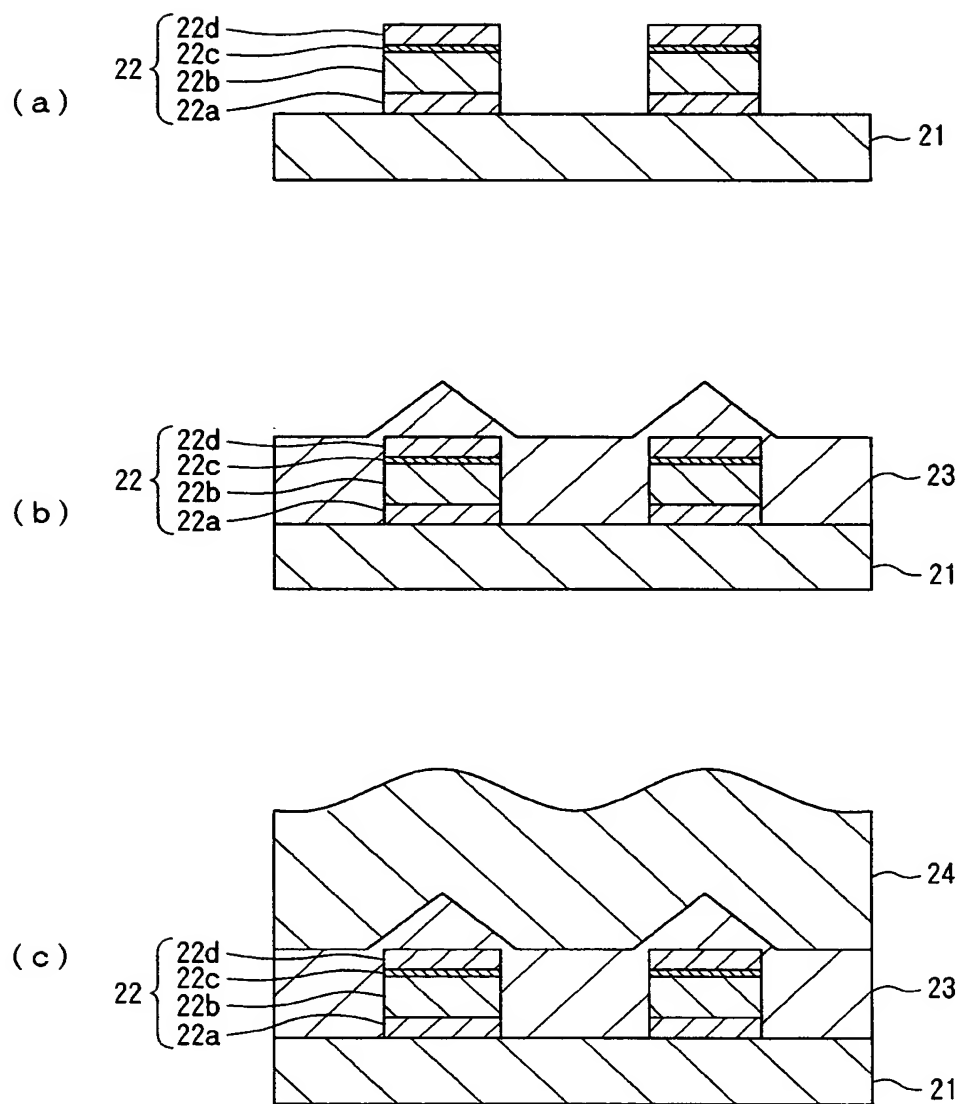
【図 8】



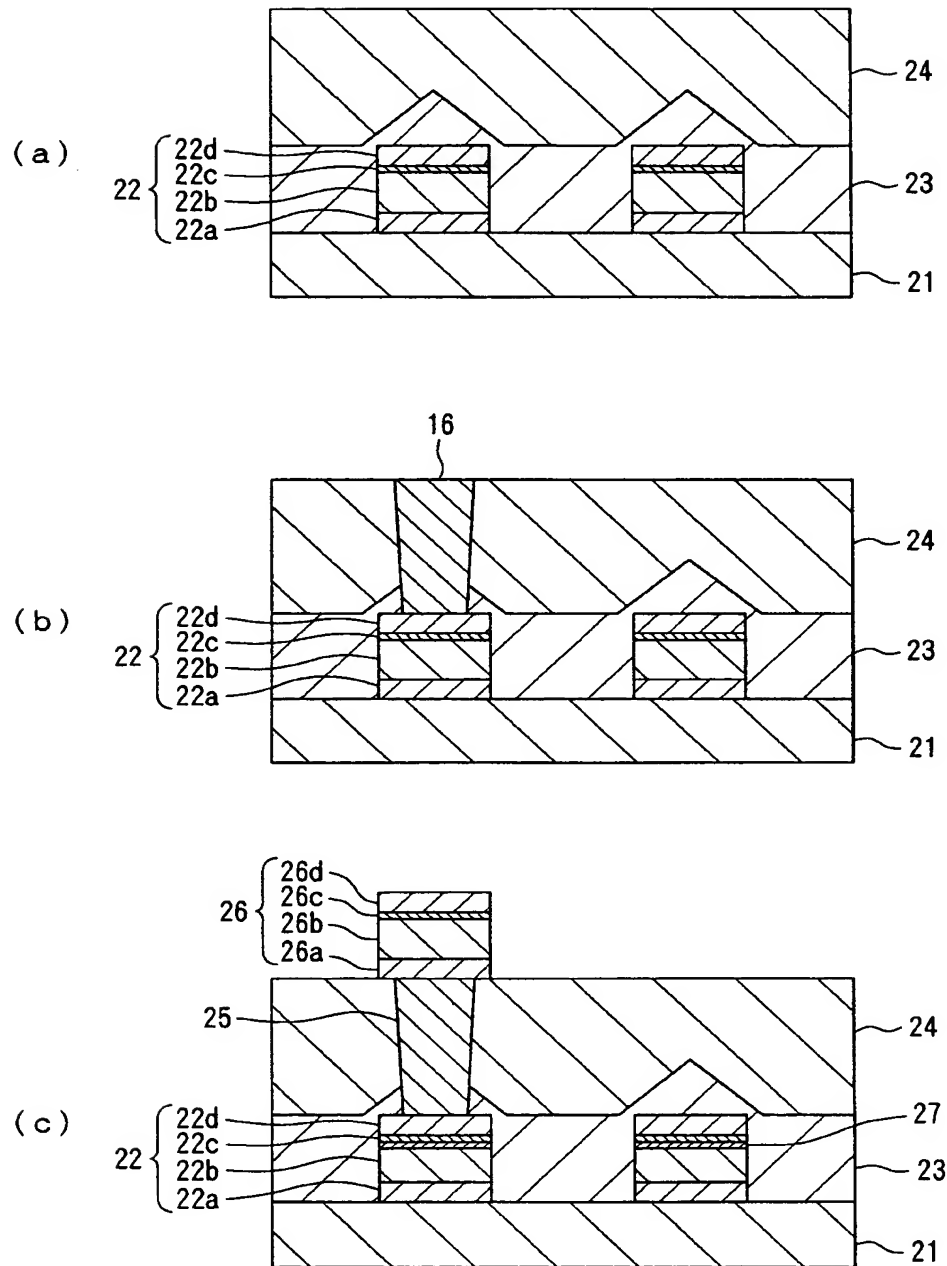
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 F S G 膜で覆われた配線層のフッ素ダメージを抑制する。

【解決手段】 ライナ膜 3 およびキャップ膜 5 で下層配線層 2 上の F S G 膜 4 を挟み込むことにより、F S G 膜 4 に含まれるフッ素を隔離して、フッ素が下層配線層 2 をアタックすることを防止する。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 3 8 4 9 6
受付番号	5 0 2 0 1 2 2 3 5 5 2
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 8 月 2 0 日

< 認定情報・付加情報 >

【提出日】	平成14年 8月19日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社